

Technologie CMOS w systemach odczytu detektorów dla współczesnych eksperymentów fizyki cząstek

Autor: Aleksandra Molenda

Promotor: prof. dr. hab. inż. Marek Idzik
Promotor pomocniczy: dr inż. Mirosław Firlej

*Akademia Górniczo Hutnicza im. S. Staszica w Krakowie
Wydział Fizyki i Informatyki Stosowanej
Katedra Oddziaływań i Detekcji Cząstek*

Streszczenie

W czasach stale rozwijającej się wiedzy z zakresu fizyki cząstek elementarnych oraz udoskonalania wielkich akceleratorów, wzrasta świetność eksperymentów. W związku z tym zwiększa się zapotrzebowanie na coraz lepsze detektory oraz bardziej precyzyjne i szybkie systemy odczytu. Przeważnie każdy system zawiera dedykowane układy scalone (ang. Application Specific Integrated Circuits (ASIC)), które umożliwiają wstępne przetwarzanie sygnałów cząstek z określonego detektora.

Główną częścią tej pracy jest system odczytowy dla śladowych detektorów słomkowych, realizowany we współpracy z zespołem z Uniwersytetu Jagiellońskiego. Detektory te są używane w dwóch eksperymentach, w przyszłym eksperymencie \bar{P} ANDA (w Straw Tube Tracker (STT) i Forward Tracker (FT)) oraz w zmodernizowanym eksperymencie HADES (Straw Tracking Stations (STS)), oba w ośrodku FAIR w Darmstadt. Ich odczyt bazuje na układzie PASTTREC zaprojektowanym przez grupę z AGH. W związku z wykorzystaniem ponad 5000 chipów w obu eksperymentach, głównym celem było przygotowanie układu pomiarowego do testów masowych i procedur kwalifikacyjnych chipów. Wszystko zweryfikowano pomiarami z modułem detektora słomkowego i źródłem żelaza ^{55}Fe . W ramach tej pracy wykonano również optymalizację płytki drukowanej (Front-End Board (FEB)) zawierającej chipy PASTTREC oraz odbyto tygodniowy staż w eksperymencie HADES podczas pomiarów na wiązce.

Druga część badań koncentruje się na rozwoju układów ASIC do przyszłych eksperymentów. W współczesnych eksperymentach istotna staje się nie tylko informacja o amplitudzie sygnału, ale również pomiar czasu. W związku z tym główny nacisk położono na opracowanie układu do pomiaru czasu (konwerter czasowo-cyfrowy TDC, ang. Time-to-Digital Converter) z wykorzystaniem technologii CMOS 130 nm w oparciu o 10-bitowy przetwornik analogowo-cyfrowy SAR ADC (ang. Successive Approximation Register Analog-to-Digital Converter). Zaprojektowano 8-kanalowy prototyp TDC, który umożliwia pomiar czasu z konfigurowalną rozdzielczością od 10 do 100 ps. Wspomniany 10-bitowy przetwornik SAR ADC jest również częścią układu HGCROC dla HGCAL w eksperymencie CMS, CERN zaprojektowanym przez grupę OMEGA z Ecole Polytechnique we współpracy z Instytutem CEA-IRFU w Saclay, CNRS z Paryża, CERN i AGH. Grupa z AGH była odpowiedzialna za układ ADC, którego pomiary i optymalizacja ustawień była częścią tej pracy.