

Warszawa, 7 września 2023 r.

dr hab. inż. Wojciech Zabołotny, profesor uczelni
Instytut Systemów Elektronicznych
Wydział Elektroniki i Technik Informatycznych
Politechnika Warszawska
Nowowiejska 15/19
00-665 Warszawa

Recenzja rozprawy doktorskiej

Autor: **Aleksandra Molenda**

Afiliacja autora: **Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie,
Wydział Fizyki i Informatyki Stosowanej**

Tytuł: **CMOS Technologies in Detector Readout Systems of Modern Particle Physics Experiments**

Promotor: **prof. dr hab. inż. Marek Idzik**

Promotor pomocniczy: **dr inż. Mirosław Firlej**

Ogólne informacje o rozprawie

Recenzowana rozprawa została przygotowana przez mgr inż. Aleksandrę Molendę na Wydziale Fizyki i Informatyki Stosowanej Akademii Górniczo-Hutniczej pod kierunkiem prof. dr hab. inż. Marka Idzika. Promotorem pomocniczym był dr inż. Mirosław Firlej. Praca dotyczy realizacji torów odczytu we współczesnych eksperymentach fizyki cząstek, w szczególności współpracujących z detektorami wykorzystującymi komory słońkowe.

Rozprawa napisana jest w języku angielskim i ma długość 132 stron, przy czym część zasadnicza obejmuje 91 stron.

Część zasadnicza podzielona jest na wstęp, trzy rozdziały i podsumowanie.

We wstępie doktorantka krótko przedstawia tło pracy i jej cele oraz opisuje jej strukturę i zawartość.

Rozdział pierwszy opisuje model standardowy oraz eksperymenty fizyki cząstek, z którymi praca jest związana - HADES, PANDA i skrótowno CMS. Oprócz tego opisuje on też właściwości detektorów z komorami słońkowymi dla eksperymentów PANDA i HADES oraz ogólne zagadnienia, trendy i potrzeby związane z tworzeniem dedykowanych układów (ASIC) do odczytu sygnału z detektorów w takich eksperymentach.

Rozdział drugi opisuje pomiary układów elektroniki czołowej dla eksperymentów PANDA i HADES. Opis zaczyna charakterystyka układu PASTTREC, używanego w detektorach STT i FT w tych eksperymentach. Na podstawie oczekiwanych parametrów torów odczytu autorka

sformułowała wymagania wobec układów PASTTREC.

W ramach przygotowań do testów autorka zaproponowała optymalizację płyty elektroniki czołowej (FEB) z wspomnianymi układami, polegającą na uproszczeniu układu zasilającego (zmniejszeniu liczby regulatorów napięcia). Pozwoliło to zmniejszyć wymiary płyty i dodać układ termometru i identyfikatora płyty. Doktorantka sprawdziła, że proponowana modyfikacja nie powoduje nieakceptowalnego obniżenia parametrów toru odczytu.

W tym rozdziale autorka opisała też przygotowane stanowisko do testów masowych płyt FEB z układami PASTTREC i procedury owych testów. Zostały sformułowane kryteria kwalifikacji płyt FEB, pozwalające podzielić je na kategorie: "sprawne", "rezerwowe" i "odrzucone". Opracowane procedury zostały wykorzystane do przeprowadzenia testów masowych i kwalifikacji układów PASTTREC i zawierających je płyt FEB.

Drugi rozdział pracy opisuje także studia przeprowadzone przez autorkę nad rozdzielczością energetyczną komór słomkowych, współpracujących z układem PASTTREC. Studia te doprowadziły do określenia optymalnych warunków pracy detektora i konfiguracji układu PASTTREC.

W zakończeniu drugiego rozdziału doktorantka opisuje wyniki zebrane przy badaniu pracy detektora podczas testów na wiązce w eksperymencie HADES.

Trzeci rozdział rozprawy poświęcony jest realizacji układów ASIC dla przyszłych eksperymentów. Doktorantka rozwiązuje tu problem naukowy związany z zaprojektowaniem przetwornika TDC o wysokiej i regulowanej rozdzielczości czasowej, wykorzystujący 10-bitowy przetwornik ADC, opracowany na AGH. Autorka rozwinęła tutaj architekturę sprzętową, opublikowaną wcześniej przez innych autorów, wprowadziła do niej usprawnienia, zintegrowała ją z przetwornikiem ADC i przeprowadziła testy symulacyjne.

Przy tej okazji udało jej się zidentyfikować i rozwiązać problem występujący sporadycznie we wcześniej opracowanym przetworniku ADC. Zaprojektowany został także 8-kanałowy prototyp układu do przetestowania rozwiązania w rzeczywistym sprzęcie. Niestety, jego pomiary są jeszcze w fazie przygotowań.

W związku z tym, testy sprzętowe opisane pod koniec trzeciego rozdziału dotyczyły jedynie 10-bitowego przetwornika ADC (tego samego, który będzie wykorzystywany w przetworniku TDC) w układzie HGCROC.

Po trzecim rozdziale zamieszczone jest podsumowanie, w którym autorka streszcza cele pracy, przeprowadzone w jej ramach działania i uzyskane wyniki. Przedstawia także jaki jest jej indywidualny wkład w osiągnięcia opisane w rozprawie.

Oprócz części zasadniczej rozprawa zawiera streszczenie, spis treści, spisy rysunków i tabel i wykaz skrótów, a także dodatek ze szczegółowymi wynikami niektórych pomiarów i spis literatury.

Analiza źródeł

Bibliografia pracy zawiera 43 pozycje, w tym ponad połowę stanowią artykuły publikowane w recenzowanych czasopismach, 8 to doniesienia konferencyjne. Oprócz tego bibliografia zawiera dwie rozprawy doktorskie, 3 raporty techniczne, 4 strony internetowe i jedną książkę. Pozycje literaturowe zostały wymienione i zacytowane właściwie. Szkoda jedynie, że nie podano identyfikatorów DOI dla posiadających je pozycji. Źródła literaturowe są powiązane z treścią pracy, są aktualne i dostarczają informacji wykorzystanych w pracy.

Zastrzeżenia i pytania dotyczące pracy

Praca jest napisana i zredagowana starannie, choć zdarzają się w niej pewne literówki lub błędy językowe (np. "calorimeters" na str. 5 nad rys. 1.2, "anihilation" zamiast "annihilation" w wielu miejscach, "pill-up" zamiast "pile-up" dwa razy na str. 14).

Podczas lektury pracy pojawiają się jednak pewne wątpliwości i pytania, które przedstawiam poniżej.

Na rysunku 2.3 przedstawiono wyniki pomiaru szumów dla wersji płyt FEB różniących się liczbą regulatorów napięcia. Nie jest jednak jasne, czy poszczególne wersje były reprezentowane przez pojedyncze płyty, czy ich grupy. Jeśli grupy, to warto byłoby podać ich liczebność, a na wykresie zaznaczyć rozrzut wartości. Ciekawą właściwością wyników uzyskanych na rysunku, jest podobny rozkład szumów w poszczególnych kanałach (np. najmniejsze szumy w kanałach 0 i 15, największe w 11 i 12). Jak można to wytłumaczyć?

W tekście na stronie 20 i na rysunku 2.4 podano, że dzięki wprowadzonym modyfikacjom wielkość płytki zmniejszono do około 5 x 5,3 cm. Nie jest jednak podana pierwotna wielkość płytki. Można się jedynie domyślać na podstawie zdjęć, że 5,3 cm to szerokość płytki, która nie jest zmieniona przez wprowadzone modyfikacje.

Na stronie 21 autorka podaje, że zmniejszenie rozpraszanej mocy było możliwe dzięki zmniejszeniu napięcia zasilającego do 3,8V. Czy przy tak niedużej rezerwie napięcia dla regulatora nie występowały problemy ze spadkiem napięcia na przewodach zasilających dla większej liczby płyt FEB w finalnym detektorze? Jeśli tak, to jak je rozwiązano?

W opisie płyty wstrzykującej ładunek (CIB) w podrozdziale 2.3.1 nie jest jasne, jak wyglądała procedura generacji porcji ładunku. Można przypuszczać, że generator dostarczał sygnału o przebiegu schodkowym i zbocze narastające każdego schodka wytwarzało porcję ładunku proporcjonalną do wysokości schodka. W takim wypadku jednak, powrót do początkowej wartości napięcia wymagał jednego dużego, lub wielu małych skoków napięcia w dół, generujących impulsy ujemnego napięcia. Jak oddziaływały one na testowany układ?

W Tabeli 2.1 podano wartości nastaw pewnych parametrów ustawianych w układzie PAST-TREC, ale wiele z tych parametrów nie jest wcześniej opisanych. Skąd czytelnik ma wiedzieć, jakie jest znaczenie parametrów TC_{C1} , TC_{R1} itd.? Może się co najwyżej domyślać, że są to wartości elementów określających stałe czasowe w układzie "tail cancellera".

Procedura badania monotoniczności charakterystyki przetworników DAC za pośrednictwem pomiaru czasu TOT, opisana w podrozdziale 2.3.2, nie jest do końca jasna. W szczególności nie jest jasne znaczenie zdania "Since the results of TOT as a function of the threshold DAC are decreasing, only negative DNL values were accepted". Co robiono w przypadku wystąpienia dodatniej wartości DNL? Czy takie wartości występowały?

Podobne pytanie budzi procedura testowania przetworników odpowiedzialnych za poziom spoczynkowy (baseline), choć w tym przypadku oczekiwany znak DNL jest oczywiście odwrotny.

W przypadku procedury skanowania krzywej S, opisanej na stronie 28 i na stronach dalszych, nie jest jasne, jak ustawiano przetworniki DAC odpowiedzialne za poziom spoczynkowy.

W opisie procedury skanowania czasu TOT pojawia się zdanie "However, the obtained results did not correspond to the real particle charge values." Nie do końca jest jasne co autorka chciała w ten sposób opisać. Czy stwierdzenie to dotyczy nieliniowości charakterystyki TOT w funkcji wielkości wstrzykniętego ładunku?

Dlaczego w punkcie 2 procedury testów masowych, opisanej na stronie 30 wybrano ostrzejsze kryterium niskiego poziomu szumu niż to wynika z wymagań eksperymentu?

Czy testy monotoniczności charakterystyki przetworników DAC opisane na stronach 25-26, są w jakikolwiek sposób wykorzystywane w testach masowych?

Wyniki przedstawione na rysunku 2.16 wykazują ciekawą prawidłowość - wszystkie kanały w odrzuconym układzie PASTTREC wykazują podobną zmianę nachylenia charakterystyki. Co może być przyczyną tego efektu? Co mogło powodować taką spójną zmianę wzmocnienia dla wszystkich kanałów w układzie?

W przypadku pomiarów realizowanych z wykorzystaniem źródła ^{55}Fe (str. 44 i następne), w jaki sposób pomiary te uwzględniały fakt, że ładunek wytwarzany w komorze słonkowej przez cząstkę zależy nie tylko od energii cząstki, ale też od toru jej przelotu przez komorę?

W opisie pomiaru wykorzystującego skan progów (podrozdział 2.5.2) jest mowa o dopasowaniu krzywej S. Nie jest jednak jasne, jakim równaniem była opisana dopasowywana krzywa (w zasadzie powinno to być określone już w podrozdziale 2.3.2). Podobnie nie jest opisane jak dopasowywano krzywą S w przypadku dwóch wierzchołków widma energetycznego.

Na stronie 50, na podstawie wyników pomiarów (rys. 2.35) autorka dochodzi do wniosku, że obniżenie wysokiego napięcia zasilającego komorę słonkową (HV) prowadzi do wzrostu zdolności rozdzielczej. Czy efekt ten daje się jakoś wyjaśnić?

Na stronie 57, autorka opisuje, że podczas testów na wiązce zaobserwowano szumiące kanały. Czy podjęto próbę ustalenia przyczyny? Czy odpowiadały za to dodatkowe zakłócenia przy pracy "na wiązce"? Rozwiązaniem było "zresetowanie i przeładowanie wartości napięć progowych". Nie jest jasne, czy układy "traciły" te wartości i należało je na nowo zaprogramować (jeśli tak to dlaczego?), czy też należało załadować nowo wyznaczone wartości progów. Jeśli tak, to jak ustalono te nowe wartości, właściwe do pracy na wiązce?

Na stronie 61 występuje termin "particle's amplitude". Wydaje się, że jest to niepoprawny, slangowy skrót. W rzeczywistości chodzi o amplitudę impulsu, wygenerowanego przez cząstkę w detektorze.

Na stronie 70 (pod rysunkiem 3.1) jest mowa o przetworniku ADC pracującym asynchronicznie i pobierającym 700 μW mocy przy pracy z częstotliwością 40 MHz. Jak należy rozumieć tę częstotliwość przy pracy asynchronicznej?

Na rysunku 3.4, na lewo od wartości 25 na osi ViCP, wykres wygląda jak łamana złożona z trzech prostoliniowych odcinków. Czy jest to artefakt, wprowadzony przy obróbce rysunku, czy rzeczywistość? Jeśli jest to prawdziwy efekt, jak można by go wyjaśnić?

W podrozdziale 3.2.2, na stronie 83 możemy znaleźć zdanie "The input data ranged from 0 to the end of the DAC range (16-bit DAC) every 100 points with 500 events per point." Nie jest do końca jasne jak były rozłożone punkty pomiarowe. Czy chodzi o to, że wartość słowa wejściowego DAC zmieniano co 100 od 0 i dla każdej wartości mierzono 500 przypadków?

Na stronie 85, autorka próbuje wyjaśnić duże wartości nieliniowości przetwornika kolizją między zewnętrznym przetwornikiem DAC a układem elektroniki czołowej. Dobrze byłoby taką hipotezę poprzeć schematem tego układu i uzasadnić jego analizą.

Dorobek publikacyjny autorki

Zgodnie z danymi z bazy Scopus, doktorantka jest współautorem pięciu publikacji recenzowanych.

Trzy z tych publikacji są cytowane w rozprawie:

- DOI: 10.1088/1748-0221/18/05/P05008 - cytowana jako [10]
- DOI: 10.1088/1748-0221/17/03/C03015 - cytowana jako [12]
- DOI: 10.1109/TNS.2022.3186157 - cytowana jako [30]

Dwie z tych publikacji nie zostały zacytowane w rozprawie:

- DOI: 10.1088/1748-0221/18/01/C01035
- DOI: 10.1016/j.physletb.2022.137506

Doktorantka w żadnej z wymienionych publikacji nie jest pierwszym autorem, jednak jej współautorstwo w publikacjach związanych z ważnymi eksperymentami wskazuje na to, że jest zaangażowanym i liczącym się członkiem społeczności naukowej.

Według bazy Scopus, indeks Hirscha doktorantki ma wartość 2.

Doktorantka jest pierwszym autorem doniesienia konferencyjnego [28], prezentowanego jako poster na liczącej się międzynarodowej konferencji TWEPP 2022.

Formalna ocena spełnienia wymagań stawianych pracom doktorskim

Na pytanie, czy rozprawa prezentuje ogólną wiedzę teoretyczną doktoranta w dyscyplinie należy odpowiedzieć twierdząco. Zarówno opisy eksperymentów, jak i zagadnień związanych z torami odczytu i ich badaniami, czy projektowania układu TDC, świadczą o wystarczającej ogólnej wiedzy teoretycznej autorki.

Także odpowiedź na pytanie czy rozprawa wykazuje umiejętność samodzielnego prowadzenia pracy naukowej przez doktorantkę odpowiedź jest twierdząca. Dowodzą tego:

- optymalizacja i testy płyt FEB,
- opracowane i przeprowadzone testy układów PASTTREC oraz analiza ich wyników,
- opracowanie bloku TDC i jego testy symulacyjne, prowadzące między innymi do wykrycia i eliminacji błędów w bloku przetwornika ADC,
- badanie zdolności rozdzielczej detektora we współpracy z rozwijanym torem odczytu

- z wykorzystaniem źródła ^{55}Fe , prowadzące do ustalenia warunków pracy zapewniających optymalną zdolność rozdzielczą,
- badanie układu HGCROC i analiza wyników.

Na pytanie o to, czy rozprawa stanowi oryginalne rozwiązanie problemu naukowego odpowiedź jest także pozytywna, acz z zastrzeżeniem, że dotyczy to pewnej części rozprawy. Cała rozprawa stanowi zapis intensywnej i owocnej aktywności naukowo-badawczej autorki związanej z testowaniem systemów odczytu detektorów słomkowych, wykorzystujących układy ASIC realizowane w technologii CMOS.

Elementy innowacyjności i rozwiązania problemu naukowego skupione są w rozdziale trzecim i dotyczą projektu bloku przetwornika czas-cyfra (TDC) o dużej i regulowanej rozdzielczości czasowej (od 10 ps do 100 ps). W tym rozdziale, autorka twórczo wykorzystując i udoskonalając istniejące rozwiązania, zrealizowała projekt układu TDC. Zadanie to obejmowało opracowanie poszczególnych bloków, ich integrację i optymalizację z wykorzystaniem symulacji uwzględniającej strukturę (layout) układu. Finalne rozwiązanie zostało przetestowane w symulacjach z uwzględnieniem przypadków skrajnych (corner case) przez co udowodniono spełnienie wymagań. Opracowano także strukturę 8-kanalowego układu ASIC z opracowanym TDC i zaprojektowano do niego płytkę testową. Niestety przed oddaniem pracy nie było możliwe przeprowadzenie testów wyprodukowanego układu.

Opracowanie i weryfikację oryginalnego układu można uznać za oryginalne rozwiązanie problemu naukowego.

Podsumowując, stwierdzam że recenzowana rozprawa doktorska spełnia wszelkie wymogi formalne stawiane pracom doktorskim i wnoszę o dopuszczenie mgr inż. Aleksandry Molendy do dalszych etapów przewodu doktorskiego.



Wojciech Zabołotny